

Partial Translation of JP-A 10-32327

Part A (Page 7)

[0036]

Meanwhile, a technical scope of the present invention is not limited to the above mentioned embodiment, and it is possible to add various modifications in a range which does not deviate from the purpose of the present invention. For example, in the embodiment, linear slots are provided so as to adjust light intensity of exposure light. However, this is not only limited to linear slots, and other structures that a plurality of openings having an arbitrary form are serially formed may be also adopted. Furthermore, as a photolithography technology, an explanation was made in an example of a positive type resist process. However, the present invention is not only limited to a positive type resist process, and in the present invention, a negative type resist process can be applied. In the case of the negative type resist process, a reticle pattern is reversed in black and white unlike the positive type resist process. Therefore, it would be possible to make a part that a chrome membrane exists in Fig. 1 of the above-mentioned embodiment as a part that a glass surface is exposed, and further, it would be possible to make an area except a gate electrode pattern and the linear slots part as a part that a chrome membrane exists. Accordingly,

in the case where the negative type resist process is applied in the present invention, "a void pattern area" in the claim corresponds with "a solid pattern area", and "an area in which a plurality of small patterns are formed" corresponds with "an area in which a plurality of linear slots (openings) are formed". Also, like the openings mentioned above, an arbitrary form of small pattern may be adopted.

SEMICONDUCTOR DEVICE, ITS MANUFACTURE FORMATION OF RESIST PATTERN, AND RETICLE USED FOR THE FORMATION

Patent number: JP10032327

Publication date: 1998-02-03

Inventor: TAKI MASUYUKI

Applicant: NITTETSU SEMICONDUCTOR KK

Classification:

- international: H01L29/78; H01L21/336; G03F1/08; H01L21/027; H01L21/3065

- european:

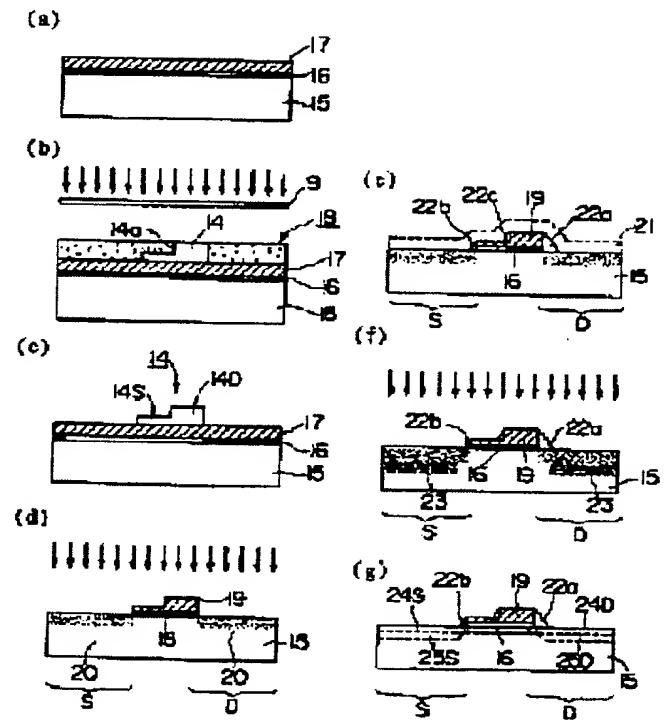
Application number: JP19960183687 19960712

Priority number(s):

Abstract of JP10032327

PROBLEM TO BE SOLVED: To prevent degradation in characteristics of elements such as increase in parasitic capacitor, reduction in breakdown voltage, etc.

SOLUTION: Exposure is performed by using a reticle 9 having solid pattern on the drain region D side and a plurality of linear slots on the source region S side, and a resist pattern 14 of two levels with low source region side and high drain region side is formed on a polycrystalline silicon film 17. The polycrystalline silicon film 17 is then etched through the use of the resist pattern 14 as a mask to form a gate electrode 19 having the same two levels as the resist pattern 14. Subsequently, ion implantation is performed to form a diffusion layer of low impurity density. Side walls 22a, 22b with different widths on the source and drain sides are formed. Another ion implantation is performed to form a diffusion layer of high impurity density.



(18) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32327

(43) 公開日 平成10年(1998)2月3日

(51) Int. CL⁶

H 01 L 29/78
21/336
G 03 F 1/08
H 01 L 21/027
21/3065

検索記号

序内整理番号

P I

H 01 L 29/78
G 03 F 1/08
H 01 L 21/30
21/302

技術表示箇所

9 01 L
Z
5 02 P
H

審査請求 未請求 請求項の数10 OL (全9頁)

(21) 出願番号

特願平8-189887

(22) 出願日

平成8年(1996)7月12日

(71) 出願人

日鉄セミコンダクター株式会社
千葉県旭山市山本1580番地

(72) 発明者

滝 益志
千葉県旭山市山本1580番地 日鉄セミコン
ダクター株式会社内

(74) 代理人

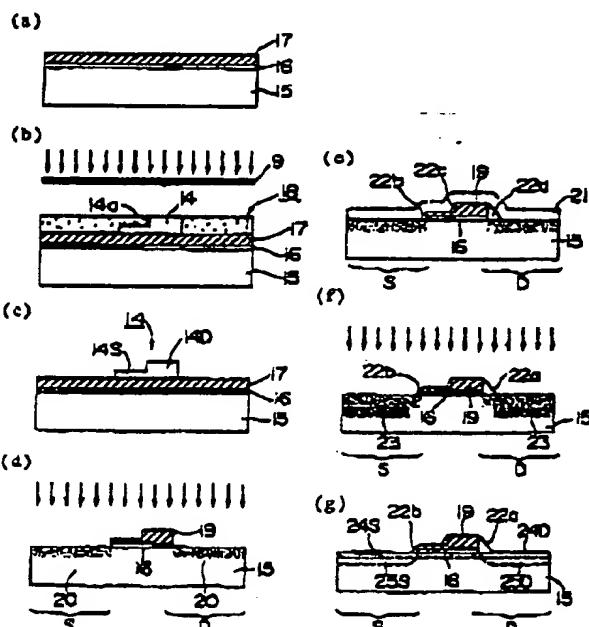
弁理士 志賀 正式 (外2名)

(54) 【発明の名称】 半導体装置とその製造方法およびレジストパターンの形成方法ならびにそれに用いるレチクル

(57) 【要約】

【課題】 寄生容量の増加、耐圧低下等の素子特性の劣化を防止し得る半導体装置とその製造方法ならびにそれに用いるレチクルを提供する。

【解決手段】 ドレイン領域D側がべたバターン、ソース領域S側に複数の線状スリットが形成されたレチクル9を用いて露光を行い、ソース領域側が低くドレイン領域側が高い段差部を有するレジストバターン14を多結晶シリコン膜17上に形成する。そして、このレジストバターン14をマスクとして多結晶シリコン膜17のエッチングを行い、レジストバターン14と同様の段差部を持つゲート電極19を形成する。その後、低温度不純物拡散層形成のためのイオン注入、ソース側とドレイン側で幅の異なるサイドウォール22a、22bの形成、高温度不純物拡散層形成のためのイオン注入を行う。



【特許請求の範囲】

【請求項1】 低濃度不純物拡散層と高濃度不純物拡散層を備えたLDD構造のソース領域およびドレイン領域と、該ソース領域に隣接する側が低く該ドレイン領域に隣接する側が高い底壁部を有するゲート電極と、該ゲート電極の側壁に設けられたサイドウォールを有し、前記ゲート電極側壁のソース領域に隣接する側のサイドウォールよりもドレイン領域に隣接する側のサイドウォールの方がその幅が大きく、前記ドレイン領域の高濃度不純物拡散層の端部が前記サイドウォールの下方に位置していることを特徴とする半導体装置。

【請求項2】 ポジ型フォトレジスト用レチクルであつて、

べたバターンの領域と複数の孔が形成された領域を有し、これら複数の孔の各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルバターンの倍率とを乗じた値よりも小さいことを特徴とするレチクル。

【請求項3】 請求項2に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであつて、形成されるパターンのうちドレイン領域に隣接する部分が前記べたバターンの領域であり、ソース領域に隣接する部分が前記複数の孔が形成された領域であることを特徴とするレチクル。

【請求項4】 ネガ型フォトレジスト用レチクルであつて、

白抜きバターンの領域と複数の小バターンが形成された領域を有し、これら複数の小バターンの各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルバターンの倍率とを乗じた値よりも小さいことを特徴とするレチクル。

【請求項5】 請求項4に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであつて、形成されるパターンのうちドレイン領域に隣接する部分が前記白抜きバターンの領域であり、ソース領域に隣接する部分が前記複数の小バターンが形成された領域であることを特徴とするレチクル。

【請求項6】 請求項2に記載のレチクルを用いたポジ型フォトレジストのバターンの形成方法であつて、

前記レチクルを用いて露光を行うことにより、前記べたバターンの領域ではレジスト残膜を全て残すとともに、前記複数の孔が形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストバターンを形成することを特徴とするレジストバターンの形成方法。

【請求項7】 請求項4に記載のレチクルを用いたネガ型フォトレジストのバターンの形成方法であつて、

前記レチクルを用いて露光を行うことにより、前記白抜きバターンの領域ではレジスト残膜を全て残すとともに

に、前記複数の小バターンが形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストバターンを形成することを特徴とするレジストバターンの形成方法。

【請求項8】 請求項3または5に記載のレチクルを用いた半導体装置の製造方法であつて、

半導体基板上にゲート絶縁膜を介してゲート電極材、フォトレジスト膜を順次形成する工程と、

前記レチクルを用いて露光を行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いレジストバターンを形成する工程と、

該レジストバターンをマスクとして前記ゲート電極材のエッチングを行うことにより、該レジストバターンと同様のソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成する工程と、

該ゲート電極をマスクとしてソース領域およびドレイン領域の低濃度不純物拡散層を形成するためのイオン注入を行う工程と、

前記ゲート電極の側壁にサイドウォールを形成する工程と、

前記ゲート電極およびサイドウォールをマスクとしてソース領域およびドレイン領域の高濃度不純物拡散層を形成するためのイオン注入を行う工程、を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8に記載の半導体装置の製造方法において、

前記レジストバターンを用いて前記ゲート電極を形成する手段として、

前記フォトレジスト膜に対する前記ゲート電極材の選択比が該フォトレジスト膜の膜厚と前記ゲート電極材の膜厚の比率に等しい条件で異方性エッチングを行うことにより、前記レジストバターンに覆われていない領域の前記ゲート電極材の一部をエッチングすると同時に、前記ソース領域に隣接する側のレジストバターンを除去し、その後、前記ドレイン領域に隣接する側のレジストバターンのみを残し、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項8に記載の半導体装置の製造方法において、

前記レジストバターンを用いて前記ゲート電極を形成する手段として、

前記フォトレジスト膜に対する前記ゲート電極材の選択比が大きい条件で異方性エッチングを行うことにより、前記レジストバターンを残したままレジストバターンに覆われていない部分の前記ゲート電極材をエッチングし、次に、前記レジストバターンのエッチバックを行な

ことにより、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンを残した状態で再度、前記選択比が大きい条件で異方性エッティングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

[0091]

【発明の属する技術分野】本発明は、半導体装置とその製造方法およびレジストパターンの形成方法ならびにそれに用いるレチカルに關し、特に、LDD (Lightly Doped Drain) 構造を有する電界効果型トランジスタにおけるゲート電極の形成方法、ならびに不純物拡散層の形成方法に関するものである。

[0002]

【従来の技術】 LDD構造は、電界効果型トランジスタのゲート両端の不純物濃度を部分的に低下させ、この部分での電界を緩和することにより、トランジスタ特性に悪影響を及ぼすホットキャリアの発生を防止しようとするものである。LDD構造を有する半導体装置は、例えば特開平7-297393号公報等に開示されている。図7は従来一般のLDD構造を有する半導体装置を示す図であり、以下、その製造方法について説明する。

【0003】まず、素子分離領域を形成するために、シリコン基板1表面を酸化させてパッド酸化膜を形成した後、その上に耐酸化性絶縁膜、一般的には塗化シリコン膜を形成する。次に、公知のフォトリソグラフィー技術を用いて、素子分離領域が開口し、素子能動領域を選択的に被覆するレジストパターンを形成した後、このレジストパターンをマスクとしたケミカルドライエッティング、またはリアクティブイオンエッティングにより塗化シリコン膜をエッティングする。そして、酸素アッシングまたは疎強と過酸化水素との混合液を用いてレジストパターンを除去する。次に、前工程で形成した塗化シリコン膜のパターンをマスクとして選択酸化を行うことにより、塗化シリコン膜で被覆されていない領域、すなわち素子分離領域に厚いフィールド酸化膜2を選択的に形成する。その後、素子能動領域上に残った塗化シリコン膜、パッド酸化膜を順次除去することにより素子分離構造が完成する。

【0004】次に、素子能動領域上にドライ酸化法を用いてシリコン酸化膜からなるゲート絶縁膜3を形成した後、ゲート電極材である多結晶シリコン膜を成長する。ついで、フォトリソグラフィー技術により多結晶シリコン膜上にレジストパターンを形成した後、このレジストパターンをマスクとした異方性ドライエッティングにより多結晶シリコン膜をエッティングし、ゲート電極4とする。そして、酸素アッティングまたは硫酸と過酸化水素水との混合液を用いてレジストパターンを除去する。次

に、低温度不純物拡散層を形成するためのイオン注入を行う。そして、全面に絶縁膜を形成した後、公知のエッチバック法を用いて絶縁膜のエッチングを行うことによりゲート電極4の側壁にサイドウォール5、5を形成し、ついで、高温度不純物拡散層を形成するためのイオン注入を行う。その後、熱処理を行うことによって注入した不純物の活性化を行い、低温度不純物拡散層6S、6Dおよび高温度不純物拡散層7S、7Dをそれぞれ形成する。以降は、層間絶縁膜の形成、コンタクトホールの開口、配線の形成、等の工程を経てシリコン構造を有するMOSトランジスタが完成する。

[0005]

【発明が解決しようとする課題】しかしながら、従来のLDD構造を有するMOSトランジスタでは、シリコン基板1内に注入した不純物が製造工程中の熱処理によって拡散し、図8に示すように、ドレイン領域の高温度不純物拡散層7Dの端部がゲート電極4の直下にまで延びた状態となる。このような構造では、ゲート電極4直下の高温度不純物拡散層7Dによる寄生容量が増加し、ドレインコンダクタンスが増加することになる。さらに、ソースードレイン間の高温度不純物拡散層7S、7D間の間隔が狭まるため、ショートチャネル効果による耐圧低下等の電子特性劣化を招くことになる。

【0006】本発明は、上記の課題を解決するためになされたものであって、寄生容量やドレインコンダクタンスの増加、ショートチャネル効果による耐圧低下等の素子特性の劣化を防止し得る半導体装置とその製造方法、ならびにその製造プロセスにおけるレジストパターンの形成方法およびそれに用いるレチカルを提供することを目的とする。

10007

【課題を解決するための手段】上記の目的を達成するために、本発明の請求項1に記載の半導体装置は、低温度不純物拡散層と高温度不純物拡散層を備えたシリコウ構造のソース領域およびドレイン領域と、該ソース領域に隣接する側が低く該ドレイン領域に隣接する側が高い段差部を有するゲート電極と、該ゲート電極の側壁に設けられたサイドウォールを有し、前記ゲート電極側壁のソース領域に隣接する側のサイドウォールよりもドレイン領域に隣接する側のサイドウォールの方がその幅が大きく、前記ドレイン領域の高温度不純物拡散層の蝶部が前記サイドウォールの下方に位置していることを特徴とするものである。

【0008】また、本発明の請求項2に記載のレチクルは、ポジ型フォトレジスト用レチクルであって、べたパターンの領域と複数の孔が形成された領域を有し、これら複数の孔の各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乗じた値よりも小さいことを特徴とするものである。

【9908】また、請求項3に記載のレチクルは、請求

項2に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記したパターンの領域であり、ソース領域に隣接する部分が前記複数の孔が形成された領域であることを特徴とする半導体装置のゲート電極形成用レチクルである。

【0.010】また、請求項4に記載のレチクルは、ネガ型フォトレジスト用レチクルであって、白抜きパターンの領域と複数の小パターンが形成された領域を有し、これら複数の小パターンの各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乘じた値よりも小さいことを特徴とするものである。

【0011】また、請求項5に記載のレチクルは、請求項4に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記自複きパターンの領域であり、ソース領域に隣接する部分が前記複数の小パターンが形成された領域であることを特徴とするものである。

【0012】また、本発明の請求項6に記載のレジストパターンの形成方法は、請求項2に記載のレチクルを用いたポジ型フォトレジストのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記したパターンの領域ではレジスト残膜を全て残すとともに、前記複数の孔が形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするものである。

【0013】また、請求項7に記載のレジストパターンの形成方法は、請求項4に記載のレチクルを用いたネガ型フォトレジストのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記干抜きパターンの領域ではレジスト残膜を全て残すとともに、前記複数の小パターンが形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を有する集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするものである。

【0014】また、本発明の請求項8に記載の半導体装置の製造方法は、請求項3または5に記載のレチクルを用いた半導体装置の製造方法であり、半導体基板上にゲート絶縁膜を介してゲート電極材、フォトレジスト膜を順次形成する工程と、前記レチクルを用いて露光を行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いレジストパターンを形成する工程と、該レジストパターンをマスクとして前記ゲート電極材のエッチングを行うことにより、該レジストパターン

と同様のソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成する工程と、該ゲート電極をマスクとしてソース領域およびドレイン領域の低濃度不純物拡散層を形成するためのイオン注入を行う工程と、前記ゲート電極の側壁にサイドウォールを形成する工程と、前記ゲート電極およびサイドウォールをマスクとしてソース領域およびドレイン領域の高濃度不純物拡散層を形成するためのイオン注入を行う工程、を有することを特徴とするものである。

【0015】また、請求項目に記載の半導体装置の製造方法は、請求項目に記載の半導体装置の製造方法において、前記レジストパターンを用いて前記ゲート電極を形成する手段として、前記フォトレジスト膜に対する前記ゲート電極材の選択比が該フォトレジスト膜の膜厚と前記ゲート電極材の膜厚の比率に等しい条件で異方性エッチングを行うことにより、前記レジストパターンに覆われていない領域の前記ゲート電極材の一部をエッチングすると同時に、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンのみを残し、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とするものである。

【0016】また、請求項10に記載の半導体装置の製造方法は、請求項8に記載の半導体装置の製造方法において、前記レジストパターンを用いて前記ゲート電極を形成する手段として、前記フォトレジスト層に対する前記ゲート電極材の選択比が大きい条件で異方性エッチングを行うことにより、前記レジストパターンを残したままレジストパターンに覆われていない部分の前記ゲート電極材をエッチングし、次に、前記レジストパターンのエッチバックを行うことにより、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンを残した状態で再度、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とするものである。

【0017】本発明は、特に、半導体駆動装置製造プロセスのゲート電極形成工程に本発明特有のレジストパターン形成方法を適用することによって上記の課題を解決しようとするものである。すなわち、ポジ型フォトレジストプロセスの場合、ドレイン領域に隣接する部分がべたバターン、ソース領域に隣接する部分に複数の孔が形成されたレテクルを用いて露光を行うと、べたバターンの領域ではレジスト残量が全て残るが、複数の孔が形成された領域では透過する各露光光が限界解像幅以下に近接しているため、露光光を全体として見ると、複数の露光光の集光合が必要最低露光量未満の低い光強度を持つ状態となり、その結果、この部分ではべたバターンの部分よ

リジスト残膜が薄くなる。したがって、完成したレジストパターンは、ドレイン領域に隣接する側が高くソース領域に隣接する側が低くなる。ネガ型フォトレジストプロセスの場合には、ドレイン領域に隣接する部分が白抜きパターン、ソース領域に隣接する部分に複数の小パターンが形成されたレチクルを用いれば、上記と同様の現象が生じることになる。

【0018】その後、請求項9または10に記載した方法を用いてソース領域に隣接する側のレジストパターンが先に除去されるようなエッティングを行うことで、ドレイン領域側が高くソース領域側が低いレジストパターンを基に、間接の形状を有するゲート電極を形成することができる。そして、このゲート電極の側壁にサイドウォールを形成すると、ドレイン領域に隣接する側とソース領域に隣接する側で側壁の高さが異なるため、サイドウォールの幅もドレイン領域側とソース領域側で自ずと異なるようになる。すなわち、ソース領域側のサイドウォールの幅よりもドレイン領域側のサイドウォールの幅の方が大きくなるため、これをマスクとしたイオン注入で形成する高濃度不純物拡散層の端部の位置は、ソース領域側ではゲート電極直下にまで達しても、ドレイン領域側ではサイドウォール直下までに留めることができる。

【0019】

【発明の実施の形態】以下、本発明の一実施の形態を図1～図6を参照して説明する。本実施の形態の半導体装置の製造方法は、露光部が現像液に可溶、未露光部が不溶となるポジ型フォトレジストを用いた例であり、したがって、これに用いるレチクルもポジ用レチクルの例である。図1は本実施の形態のレチクルを示す図であって、(a)は平面図、(b)は断面図である。

【0020】図1(a)、(b)に示すように、ガラス部10の表面にゲート長に相当する幅を有するクロム膜からなるゲート電極パターン11が形成されている。そして、パターン11のうち、ソース領域に隣接する部分にはガラス面が露出した複数の線状スリット(孔)12、12、…が形成されており、ドレイン領域に隣接する部分およびその他の領域はべたパターン13となっている。また、各線状スリット12の幅は、使用露光装置の限界現像幅(露光装置が隣接する2つのパターンを解像し得る限界のパターン間隔)と実寸法に対するレチクルパターンの倍率とを乗じた値よりも小さい値となっている。具体的には、例えば使用露光装置の限界現像幅が0.4μm、実寸法に対するレチクルパターンの倍率が5倍のレチクル(5:1縮小投影露光装置用レチクル)の場合、各線状スリット12の幅を2.0μm以下、実寸法に対するレチクルパターンの倍率が10倍のレチクル(10:1縮小投影露光装置用レチクル)の場合、各線状スリット12の幅を4.0μm以下とする。そして、各線状スリット12の間隔は各線状スリット12の幅よりも大きくなっている。

【0021】次に、上記構成のレチクル9を用いたレジストパターンの形成方法について説明する。図2(a)は本レチクル9を用いた際の露光状態を示す図であつて、横軸はレチクル表面の位置、縦軸は露光光の強度(Intensity:単位%)を示す。この図に示すように、ゲート電極パターン以外の領域はクロム膜が存在しないため、当然ながら光強度100%である。ドレイン領域に隣接する部分はクロムのべたパターンであり、光が完全に遮断されるため、光強度は0%である。一方、ソース領域に隣接する部分には複数の線状スリットが形成されており、しかも、各線状スリット12の間隔が各線状スリット12の幅よりも大きいため、限界現像幅以下の幅を持つスリットを透過した複数の露光光を全体として見ると、複数の露光光の集合光により平滑化された50%以下の光強度分布を持つ状態となる。

【0022】したがって、このような状態で露光を行い、現像を行った後のレジストパターンの形状は、図2(b)に示すように、ドレイン領域に隣接する側14Dは光強度が0%のため、レジスト残膜は100%となり、ソース領域に隣接する側14Sは光強度が50%以下そのため、レジスト残膜はドレイン領域に隣接する側14Dより薄くなる。例えば、FH-6100g線波長対応レジスト(富士ハント社製、商品名)を用いた場合、レジスト膜厚=1.2μmで塗布形成を行い、E_{th}=90mJ(透過率100%条件に相当)の露光エネルギーで露光を行うと、ソース領域に隣接する側14Sの現像後のレジスト残膜は約0.8μm程度となる。このようにして、完成したレジストパターン14は、ドレイン領域に隣接する側14Dが高くソース領域に隣接する側14Sが低くなるような段差部14aを有することになる。

【0023】なお、線状スリット領域における露光光の強度が50%以下でなければならない理由は以下の通りである。基本的には、上記の光強度100%とする際の露光量とは、フォトレジスト膜が露光、現像によって溶解される必要最低露光量E_{th}(Exposure Threshold)に相当する。ところが、実際の露光時に用いられる露光量、もしくはE_{opt}(Exposure Optimum = Focus Latitude(一般的には、Depth of Focus)を最も広く得ることができる露光量)は、全面透過領域(ガラス領域)での100%透過率に相当する前記E_{th}の1.25～1.75倍程度に設定されるのが一般的である。したがって、実際の露光の際に全面透過領域(ガラス領域)がE_{th}の1.25～1.75倍で露光され、仮に線状スリットを設けた領域が全面透過領域の50%の透過率だとすれば、線状スリット領域はE_{th}の6.25～8.75%で露光されることになる。ここで、線状スリット領域でのレジスト残膜を100%未満とするためには、線状スリット領域での露光量がE_{th}の100%以下でなければならない。したがって、線状スリット領域での透過率、すなわ

ち光強度は50%以下である必要がある。

【0024】以下、上記のレチクル⑨およびレジストパターン14の形成方法を採用した本実施の形態の半導体装置の製造方法について説明する。図3は、本製造方法を工程順を追って示すプロセスフロー図である。

【0026】まず、図3(a)に示すように、シリコン基板15(半導体基板)上に、温度950°C、N₂/O₂雰囲気の塩酸酸化法を用いて膜厚150Å程度のシリコン酸化膜からなるゲート絶縁膜16を形成する。なお、ゲート絶縁膜16の形成には、塩酸酸化法の他、バイロジエニック法、ドライ酸化法等を用いてもよい。次に、膜厚2000Å程度の多結晶シリコン膜17(ゲート電極材)を低圧化学気相成長法を用いて形成する。ゲート電極材として用いる多結晶シリコン膜17は、SiH₄ガスを原料ガスとしてノンドープ多結晶シリコン膜を被覆形成した後、リン拡散を施す方法により低抵抗化を図るか、あるいは原料ガスにPH₃ガスを添加して化学気相成長を行い、ドープ多結晶シリコン膜として成膜することで低抵抗化を図る。なお、多結晶シリコン膜の膜厚2000Åは、従来の製造方法における多結晶シリコン膜の膜厚よりも厚い値である。

【0028】次に、多結晶シリコン膜17上にゲート電極形成用のレジストパターン14を形成する。この際には、図3(b)に示すように、多結晶シリコン膜17上にポジ型フォトレジスト18を1.2μmの膜厚に塗布した後、上述したレチクル⑨とレジストパターン形成方法を用いて段差部14aを有するレジストパターン14を形成する。具体的には、例えば露光波長λ=438nm、NA=0.65、限界解像幅=0.65μmの⑨:1縮小投影露光装置を用いることを前提とし、ゲート長がウェハ上で1.0μm(レチクル上で5.0μm)の場合、レチクル⑨上のスリット幅は0.1μm(限界解像幅0.65μm×5倍=3.25μmより小さい)とし、ソース領域側から0.2μmピッチで3本の線状スリットを形成したレチクルを用いる。そして、135nmで露光を行い、ついで、現像を行うことにより、図3(c)に示すように、ソース領域側14Sの膜厚が0.6μm、ドレイン領域側14Dの膜厚が1.2μmの段差部14aを有するレジストパターン14を形成する。

【0027】次に、この段差部14aを有するレジストパターン14に基づいて段差部を有するゲート電極を形成する。その方法には2通りの方法があり、以下、図4および図5を用いて説明する。まず、第1の方法としては、図4(a)に示すように、多結晶シリコン膜17上に段差部14aを有するレジストパターン14を形成した後、フォトレジスト膜に対する多結晶シリコン膜の選択性比がフォトレジスト膜の膜厚と多結晶シリコン膜の膜厚の比率にはほぼ等しい条件、すなわち、フォトレジスト膜のエッティング速度6(膜厚1.2μm)に対して多結晶シリコン膜のエッティング速度1(膜厚2000Å)の

条件で異方性エッティングを行うと、図4(b)に示すように、レジストパターン14に覆われていない部分の多結晶シリコン膜17がエッティングされると同時に、レジストパターン14自身が急速にエッティングされて薄膜化していく。そして、図4(c)に示すように、多結晶シリコン膜17がその膜厚の1/2程度エッティングされた状態では、ソース領域側のレジストパターン14Sが完全に除去されて消滅する。その後、ドレイン領域側のレジストパターン14Dを残した状態で異方性エッティングを続行すると、ソース領域側の多結晶シリコン膜17Sが自己整合的にマスクとなってエッティングされるため、図4(d)に示すように、段差部14aを有するゲート電極19が形成される。

【0029】次に、第2の方法としては、図5(a)に示すように、多結晶シリコン膜17上に段差部14aを有するレジストパターン14を形成した後、例えばフォトレジストのエッティング速度1に対して多結晶シリコン膜のエッティング速度20というように、フォトレジストに対する多結晶シリコン膜の選択性比ができるだけ大きくなる条件で異方性エッティングを行うと、図5(b)に示すように、段差部14aを有するレジストパターン14がほとんどエッティングされることなく、レジストパターン14に覆われていない部分の多結晶シリコン膜17が完全にエッティングされる。次に、図5(c)に示すように、レジストパターン14のみをエッチバックして、レジストパターン14のうちソース領域側の低い部分14Sのみを除去する。そして、ドレイン領域側のレジストパターン14Dを残した状態で、再度、フォトレジストに対する多結晶シリコン膜の選択性比が大きい条件で異方性エッティングを行うことにより、図5(d)に示すように、段差部14aを有するゲート電極19が形成される。

【0030】このように、上記のいずれかの方法を用いて段差部14aを有するゲート電極19を形成した後、図3(d)に示すように、LDD構造における低温度不純物拡散層形成を目的としたイオン注入を行い、シリコン基板15表面のソース、ドレイン領域S、Dに低温度不純物注入層20、20を形成する。次に、図3(e)に示すように、後にサイドウォールとなる膜厚3000Åの酸化シリコン膜21を化学気相成長法により形成した後、その酸化シリコン膜21をエッチバック法を用いてエッティング処理することにより、ゲート電極19の側壁に酸化シリコン膜からなるサイドウォール22a、22b、22cを形成する。この際、サイドウォールは、ドレイン領域Dに隣接する側22a、ソース領域Sに隣接する側22b、段差部22cの3箇所に形成される。

【0031】その後、図3(f)に示すように、LDD構造における高温度不純物拡散層形成を目的としたイオン注入を行い、シリコン基板15表面のソース、ドレイン領域S、Dに高温度不純物注入層23、23を形成す

(7)

特開平10-32327

る。そして、 850°C 、 N_2/O_2 雰囲気下での熱処理を行い、注入したイオンの拡散および活性化を図ることによって、図3 (g) に示すように、ソース領域S、ドレイン領域Dそれぞれに低濃度不純物拡散層24S、24D、高濃度不純物拡散層25S、25Dを形成する。以上の工程でLDD構造を有するMOSトランジスタが完成する。

【0031】以降の工程は図示を省略するが、従来一般的な半導体装置製造プロセスと同様に、上記MOSトランジスタを覆う層間絶縁膜を形成し、コンタクト孔を開口する。この際、前工程でゲート電極上の段差部に形成されたサイドウォールは、コンタクト孔形成時のエッチングで除去されることになる。その後、A1等からなる配線を形成する。

【0032】本実施の形態の半導体装置の製造方法によれば、上述した2通りの方法のいずれかを用いてソース領域側の低い部分のレジストパターン14Sが先に除去されるようなエッチングを行うことで、段差部14aを有するレジストパターン14を基に、同様の段差部19aを有するゲート電極19を形成することができる。そして、このゲート電極19の側壁にサイドウォール22a、22bを形成すると、ドレイン領域Dに隣接する側とソース領域Sに隣接する側で側壁の高さが異なるため、サイドウォールの幅もドレイン領域側22aとソース領域側22bで自ずと異なるようになる。

【0033】図6は完成したMOSトランジスタの平面図であるが、この図に示すように、ドレイン領域D側のサイドウォール22bの幅の方がソース領域S側のサイドウォール22aの幅よりも大きく、しかも、本実施の形態では多結晶シリコン膜の膜厚(ドレイン側の膜厚)が従来の多結晶シリコン膜の膜厚よりも厚くなっている。そのため、高濃度不純物拡散層形成時のイオン注入や熱拡散の条件が従来法と同じであっても、高濃度不純物拡散層の端部の位置を、図3 (g) に示すように、ソース領域側25Sではゲート電極19直下にまで追しても、ドレイン領域側25Dではサイドウォール22a直下までに留めることができる。

【0034】その結果、従来の方法を用いて製造した半導体装置と異なり、ドレイン領域Dの高濃度不純物拡散層25Dがゲート電極19直下にまで達しないため、寄生容量の増加やドレインコンダクタンスの増加を防止することができる。また、ソース-ドレイン間の高濃度不純物拡散層間の間隔が狭まらないため、ショートチャネル効果による耐圧低下等の素子特性劣化を抑制することができる。

【0035】また、本実施の形態のレジストパターン形成方法によれば、レチクル日の構成を工夫したことで1回のフォトリソグラフィー工程で段差部14aを有するレジストパターン14を形成することができるため、従来の製造方法に比べてフォトリソグラフィー工程の回数

を増やす必要がない。

【0036】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば本実施の形態では、露光光の光強度を調整するため線状スリットを設けるようにしたが、これは線状スリットに限らず、任意の形状を持つ複数の孔が連続的に形成されたものであってもよい。また、フォトリソグラフィー技術としてポジ型レジストプロセスの例で説明したが、これに限らず、本発明をネガ型レジストプロセスに適用することもできる。ネガ型レジストプロセスの場合、ポジ型レジストプロセスに対してレチクルのパターンが白黒反転するため、上記実施の形態の図1におけるクロム膜が存在する部分をガラス面が露出する部分とし、ゲート電極パターン以外の領域と線状スリットの部分をクロム膜が存在する部分とすればよい。したがって、本発明をネガ型レジストプロセスに適用する場合、特許請求の範囲における「白抜きパターンの領域」が本実施の形態の「べたパターンの領域」に相当し、「複数の小バターンが形成された領域」が「複数の線状スリット(孔)が形成された領域」に相当する。また、上記孔と同様、小バターンの形状も任意としてよい。

【0037】また、上記実施の形態では、各線状スリットの幅や間隔を均一にすることでレジストパターンに段差部を設けるようにしたが、例えば線状スリットの幅や間隔をドレイン領域側からソース領域側に向けて徐々に変えるようにすると、光強度分布を全体的に勾配を持つように調整することができる。このようにすると、本実施の形態のように段差部を有するレジストパターンではなく、上面が傾斜したレジストパターンを形成することができ、この構成によっても本発明の目的を達成することができる。また、上記実施の形態で用いた線状スリットの幅、レジスト強度や多結晶シリコン膜の膜厚等、種々の具体的な数値に関してはほんの一例にすぎず、適宜変更が可能なことは勿論である。

【0038】

【発明の効果】以上、詳細に説明したように、本発明によれば、従来の方法に比べてフォトリソグラフィー工程の回数を増やすことなく、場所により高さの異なるレジストパターンの形成が可能となり、このレジストパターンを用いてエッチングを行うことにより場所により高さの異なるゲート電極を形成し、ゲート電極側壁のサイドウォールをソース側、ドレイン側で異なる幅とすることができる。これにより、ドレイン側の高濃度不純物拡散層がゲート電極の直下に位置しないようにできるため、寄生容量の増加やドレインコンダクタンスの増加、ショートチャネル効果による耐圧低下、といった素子特性劣化を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態であるレチクルを示

す、(a) 平面図、(b) (a) のA-A線に沿う断面図、である。

【図2】 同、レチクルを用いた際の、(a) 露光光の光強度分布図、(b) 現像後のレジストパターンの断面図、である。

【図3】 同、レチクルを用いた半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

【図4】 同、製造方法におけるゲート電極形成の第1の方法を示すプロセスフロー図である。

【図5】 同、製造方法におけるゲート電極形成の第2の方法を示すプロセスフロー図である。

【図6】 同、製造方法により形成されたゲート電極を示す平面図である。

【図7】 LDD構造を有する半導体装置の従来の製造方法を示すプロセスフロー図である。

【図8】 LDD構造を有する従来の半導体装置の問題点を示す図である。

【符号の説明】

9 レチクル

10 ガラス部

11 ゲート電極パターン

12 線状スリット(孔)

13 ベたパターン

14, 14S, 14D レジストパターン

14a, 19a 段差部

15 シリコン基板(半導体基板)

16 ゲート絶縁層

17 多結晶シリコン膜(ゲート電極材)

18 ポジ型フォトレジスト

19 ゲート電極

20 低濃度不純物注入層

21 酸化シリコン膜

22a, 22b, 22c サイドウォール

23 高濃度不純物注入層

24S, 24D 低濃度不純物拡散層

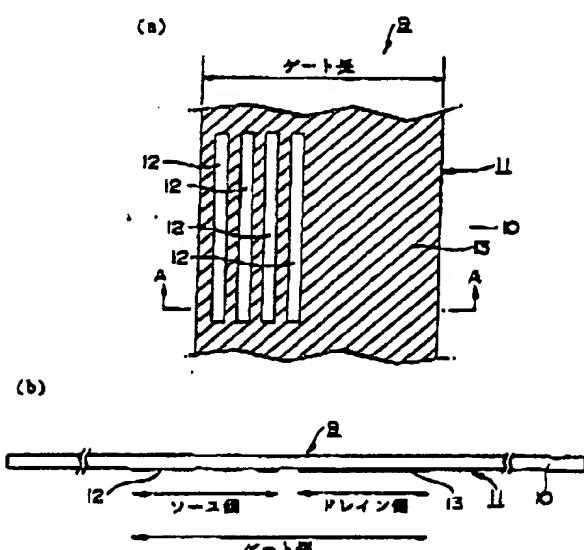
25S, 25D 高濃度不純物拡散層

L 露光光

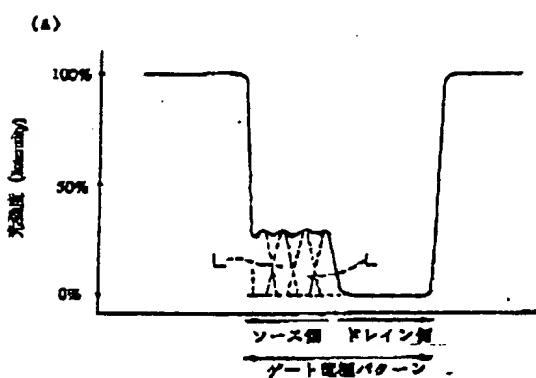
S ソース領域

D ドレイン領域

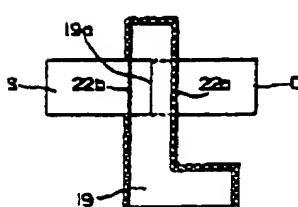
【図1】



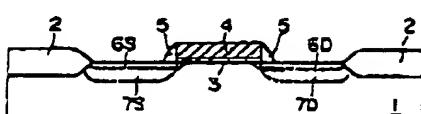
【図2】



【図6】



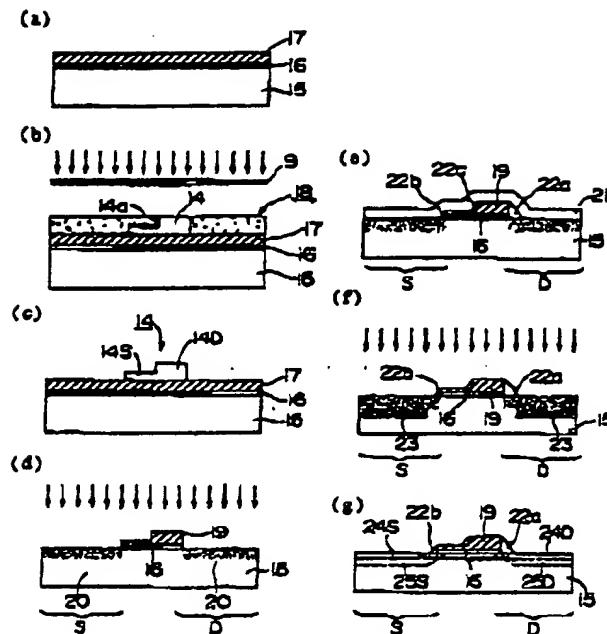
【図7】



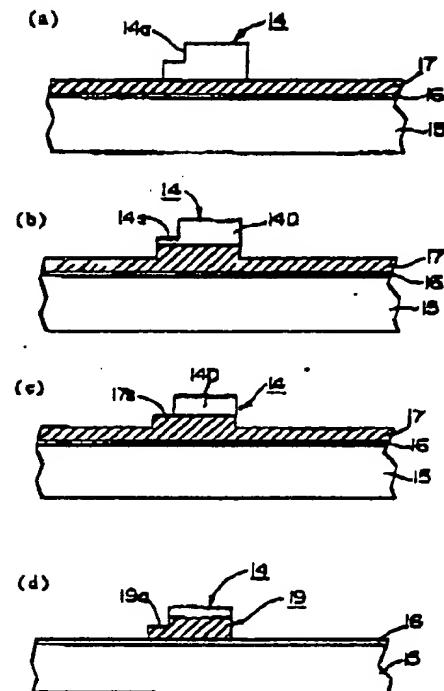
(8)

特陽平 10-32327

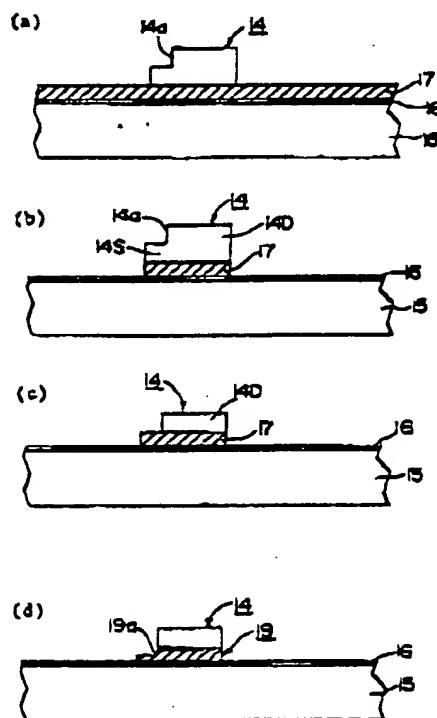
〔四三〕



〔四四〕



〔四〕 5



〔圖 8〕

